



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **03260921**(51) Intl. Cl.: **G06F 12/08 G06F 11/10 G0**(22) Application date: **09.10.91**

(30) Priority:	
(43) Date of application publication: 23.04.93	(71) Applicant: PFU LTD
(84) Designated contracting states:	(72) Inventor: SUGINO KAZUHITO
	(74) Representative:

(54) CACHE MEMORY CONTROL SYSTEM

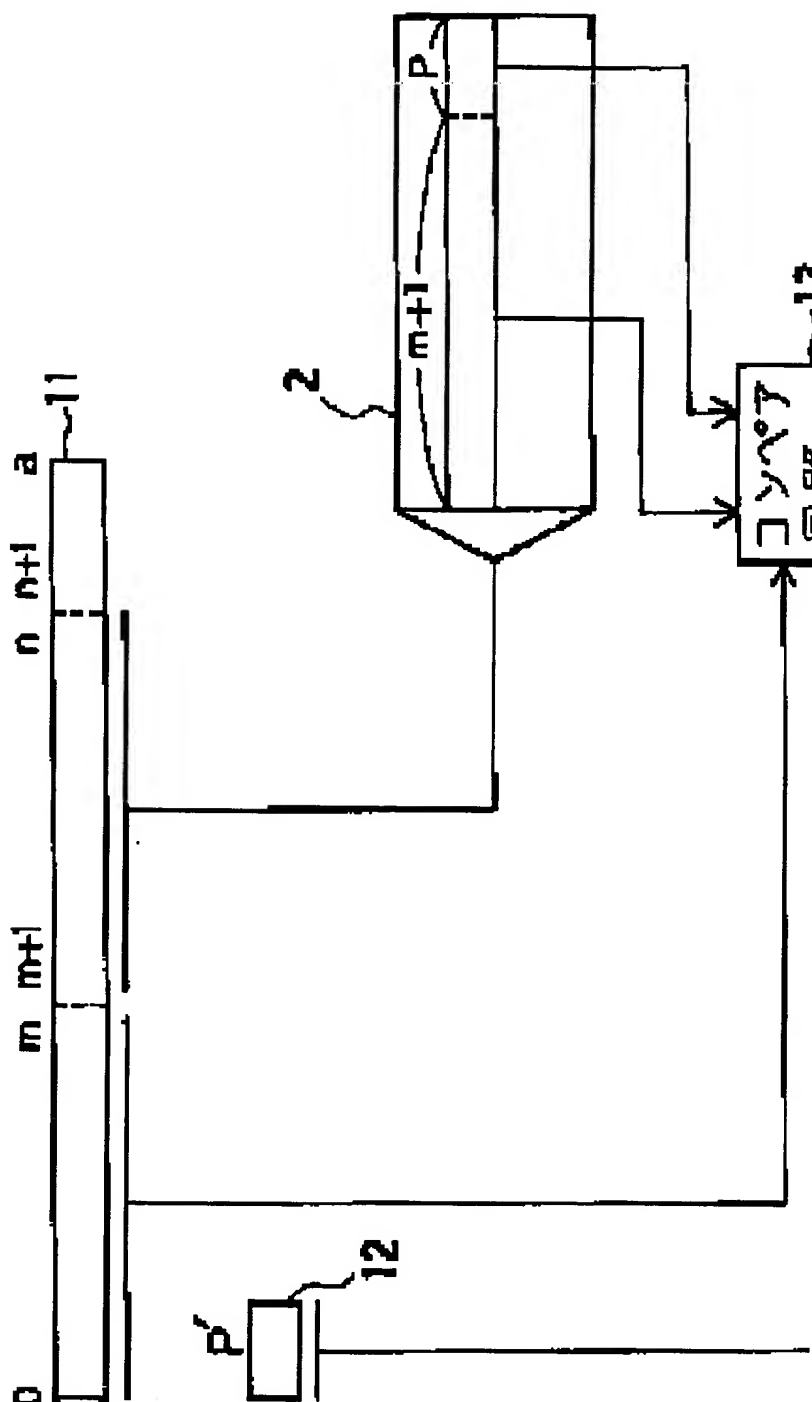
(57) Abstract:

PURPOSE: To prevent system-down caused by a parity error by comparing an output of a cache management table, and a part of an address signal from a processor and its parity code, and executing a cache hit/cache mishit processing.

CONSTITUTION: A cache management table 2 inputs a second part (m+1 to n bit part) used for accessing it, and outputs information (m+1 bit length) corresponding thereto and a parity code (p) thereby. A comparing circuit 13 compares a prescribed output of a processor and an output of the cache management table 2. That is, a first signal consisting of a first part (0 to m bit part) and a parity code p' outputted from the processor, and a second signal consisting of the information (m+1 bit length) of the output of the cache management table 2 and the parity code (p) are compared, and in

the case a second signal is a signal for generating a parity error, a fact that a first signal and a second signal do not coincide with each other is outputted.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-100953

(43) 公開日 平成5年(1993)4月23日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 12/08	J	7232-5B		
11/10	3 2 0 E	7313-5B		
12/08	3 1 0 Z	7232-5B		

審査請求 未請求 請求項の数1(全 8 頁)

(21) 出願番号 特願平3-260921

(22) 出願日 平成3年(1991)10月9日

(71) 出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72) 発明者 杉野 一仁

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ピーエフユー内

(74) 代理人 弁理士 森田 寛 (外2名)

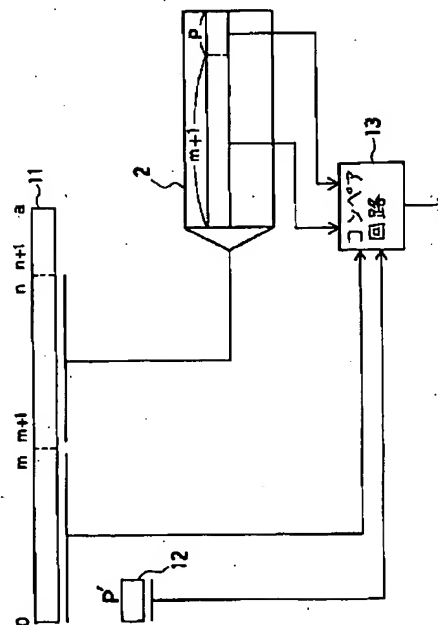
(54) 【発明の名称】 キャッシュメモリ制御方式

(57) 【要約】

【目的】 本発明は、キャッシュメモリ制御方式に関し、パリティエラーによるシステムダウンを無くすることを目的とする。

【構成】 プロセッサがアドレス信号及びその一部(0～mビット部分)についてのパリティコードp'を出力するようにし、コンペア回路13がこのアドレス信号の一部及びパリティコードp'からなる信号とキャッシュ管理テーブル2の出力信号とを比較し、両者が一致する場合にキャッシュヒット処理を行い、両者が不一致の場合にキャッシュミスヒット処理を行う。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 プロセッサ(1)と、主記憶装置(9)と、前記主記憶装置(9)上に存在するデータの一部を格納するキャッシュメモリ(5)と、前記キャッシュメモリ(5)の管理のために前記キャッシュメモリ(5)上に存在するデータについての情報とこの情報についてのパリティコードとを格納するキャッシュ管理テーブル(2)とを備えたデータ処理装置において、

前記プロセッサ(1)の所定の出力と前記キャッシュ管理テーブル(2)の出力とを比較するコンペア回路(13)を設け、

前記プロセッサ(1)が、前記主記憶装置(9)上のアドレスを示すアドレス信号であって、前記キャッシュ管理テーブル(2)内の前記情報との対比に用いられる第1部分と前記キャッシュ管理テーブル(2)をアクセスするために用いられる第2部分とを含むアドレス信号を出力し、かつ、前記第1部分についてのパリティコードを出力し、

前記キャッシュ管理テーブル(2)が、前記第2部分の入力により前記情報とこの情報についてのパリティコードとを出力し、

前記コンペア回路(13)が、前記第1の部分及び前記プロセッサ(1)の出力したパリティコードとからなる第1の信号と、前記キャッシュ管理テーブル(2)の出力である前記情報とこの情報についてのパリティコードとからなる第2の信号とを比較し、前記第2の信号がパリティエラーを発生するような信号である場合に、前記第1の信号と第2の信号とが不一致である旨を出力することを特徴とするキャッシュメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、キャッシュメモリ制御方式に関し、特に、キャッシュメモリ管理テーブルから読み出したデータにより一致/不一致等の判定を行うキャッシュメモリ制御方式に関する。

【0002】キャッシュメモリ管理テーブルから読み出したデータは、パリティ付きのデータ構造を有する。そして、このデータについて、一致/不一致の判定の他、パリティチェックも行って制御をする。この際、特に、パリティエラーの場合は、ハードウェア故障とみなして、システムダウン(システムの停止)としている。

【0003】

【従来の技術】図5及び図6は従来技術の説明図であり、特に、図5は従来のキャッシュメモリ制御回路の要部の構成を示し、図6は従来のキャッシュメモリ制御処理フローを示す。

【0004】プロセッサがバスサイクルを開始し(ステップ4)、アドレス信号をレジスタ11から送出する。このアドレス信号は主記憶のアクセスに用いられると共に、0~mビットはコンペア回路13にも入力され、ま

た、m+1~nビットはキャッシュメモリ(図示せず)及びキャッシュ管理テーブル2にも入力される。テーブル2は、タグメモリからなり、キャッシュメモリ上に存在するデータについての情報を格納する。テーブル2は、m+1~nビット部分の信号入力により検索され(ステップ5)、m+1ビット長の前記情報と、そのパリティビット(複数)pを出力する。

【0005】コンペア回路13は、レジスタ11からの0~mビット部分と、テーブル2からのm+1ビット長の前記情報とを比較し(ステップ6)、一致/不一致を判定する。一方、パリティチェック回路14は、m+1ビット長の前記情報について、そのパリティビットpを用いてパリティチェックを行い(ステップ7)、エラーの有無を調べる。

【0006】そして、比較結果が一致し、かつパリティエラーが無い場合(ステップ8)にはキャッシュヒット処理をするように制御が行われ、比較結果が不一致で、かつ、パリティエラーが無い場合(ステップ9)にはキャッシュミスヒット処理をするように制御が行われる。また、パリティエラーが有る場合には、ハードウェア故障があるものとみなして所定のハードウェア障害処理を行った後(ステップ10)、システムダウンとする(ステップ11)。

【0007】

【発明が解決しようとする課題】前述の従来技術によれば、パリティエラーが有る場合には、必ずシステムダウンに到ってしまう。これは、パリティエラーは本来存在してはならないもので、これが存在するということはハードウェア故障を意味するとして、当該故障部分のメンテナンス等のためにシステムダウンとするものである。

例えば、システムダウン時、部品交換等が行われる。【0008】しかし、このような強制的なシステムダウンは、利用者やシステムの運用全般から見て、必ずしも望ましいものとは言えない。また、パリティエラーが有っても、キャッシュメモリをシステムから切り離れた形態で、主記憶をアクセスするようにすれば、処理を継続することが可能となる。これは、利用者にとっては、多少処理時間が長くなったとしてもシステムダウンとなるより極めて有益である。

【0009】本発明は、パリティエラーによるシステムダウンを無くしたキャッシュメモリ制御方式を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は、本発明の原理構成図であり、本発明によるキャッシュメモリ制御回路の要部を示す。図1において、キャッシュ管理テーブル2は、主記憶装置上に存在するデータの一部を格納するキャッシュメモリの管理のために、キャッシュメモリ上に存在するデータについての情報(当該データの主記憶装置上のアドレスを示すアドレス信号の第1部分に対応す

3

る)と、この情報についてのパリティコードpとを格納する。

【0011】レジスタ11は、プロセッサが出力する主記憶装置上のアドレスを示すアドレス信号であって、キャッシュ管理テーブル2内の情報との対比に用いられる第1部分(0~mビット部分)と、キャッシュ管理テーブル2をアクセスするために用いられる第2部分(m+1~nビット部分)とを含むアドレス信号を保持する。レジスタ12は、プロセッサが出力する第1部分についてのパリティコードp'を保持する。

【0012】キャッシュ管理テーブル2は、第2部分の入力によりこれに対応する前記情報(m+1ビット長)とこの情報についてのパリティコードpとを出力する。コンパ回路13は、プロセッサの所定の出力とキャッシュ管理テーブル2の出力とを比較する。即ち、第1の部分(0~mビット部分)及びプロセッサの出力したパリティコードp'とからなる第1の信号と、キャッシュ管理テーブル2の出力である前記情報(m+1ビット長)とこの情報についてのパリティコードpからなる第2の信号とを比較する。そして、第2の信号がパリティエラーを発生するような信号である場合に、第1の信号と第2の信号とが不一致である旨を出力する。

【0013】

【作用】アドレス信号に対応するデータが主記憶装置上のみならずキャッシュメモリ上にも存在する場合、第1部分(0~mビット部分)とキャッシュ管理テーブル2の出力したm+1ビット長の部分とは一致するはずである。また、これらについてのパリティコードp'とpも一致するはずである。ところが、第2の信号がパリティエラーを発生するような信号である場合、これらの比較の少なくとも一方が不一致となり、全体としても不一致となる。

【0014】そこで、これを利用して、第2の信号がパリティエラーを発生するような信号である場合、コンパ回路13が不一致信号を出力するようにする。この不一致信号は、通常のキャッシュミスヒットの場合の不一致信号と同様のものである。

【0015】これにより、パリティエラーを発生するような状態でも、これを避けて、システムダウンに到らないようにすることができる。そして、通常のキャッシュミスヒットと同様の不一致信号により、当該アドレスにあるデータについては、キャッシュメモリを見かけ上システムから切り離し、主記憶装置をアクセスする動作(縮退動作)により、処理を継続することができる。

【0016】

【実施例】図2は本発明の適用されるデータ処理装置を示す。このデータ処理装置においては、プロセッサ(cpu)1、キャッシュ管理テーブル2、キャッシュメモリ5及びキャッシュ制御・バスインターフェイスコンバータ回路(以下、制御回路)6を一組の増設単位10と

4

して、プロセッサ1の増設が可能とされる。増設単位10は、制御回路6を介して、システムバス7に接続される。システムバス7には、メモリコントローラ8を介して、主記憶装置9が接続される。

【0017】キャッシュメモリ5上には、主記憶装置9上に存在するデータの一部分が格納されている。そのデータについて、主記憶装置9上のアドレスが図1のレジスタ11内の第1部分(0~mビット部分)及び第2部分(m+1~nビット部分)を含むアドレス信号で表されるとすると、キャッシュメモリ5に入力されるアドレスは第2部分で表され、この第2部分がキャッシュ管理テーブル2にも入力され、これに対応する情報としてm+1ビット長の第1部分が格納されている。格納の際、このm+1ビット長の第1部分についてのパリティコードpが生成され、共に格納される。即ち、パリティ付きのデータ構造とされる。

【0018】キャッシュメモリ5は、データの読み出し書込み動作において使用される。以下、読み出し動作の詳細について説明する。読み出し対象であるデータ(を含むデータブロック)がキャッシュメモリ5上に存在する(キャッシュヒットの場合、当該データは、キャッシュメモリ5から読み出される。一方、当該データがキャッシュメモリ5上に存在しない(キャッシュミスヒットの場合、当該データは、主記憶装置9から読み出される。

【0019】読み出し動作は、制御回路6が行う。また、この前提となるキャッシュヒット/キャッシュミスヒットの判別も、制御回路6が行う。即ち、制御回路6は、キャッシュ管理テーブル2の出力に基づいて前記判別を行い、キャッシュヒットの場合、キャッシュメモリ5からデータをデータバス4上に読み出し(キャッシュヒット処理)、キャッシュミスヒットの場合、メモリコントローラ8を介して主記憶装置9からデータを読み出してデータバス4上に送出する(キャッシュミスヒット処理)。なお、この時、このデータをキャッシュメモリ5に書き込む。

【0020】この読み出し動作のために、プロセッサ1は、図1の第1部分(0~mビット部分)及び第2部分(m+1~nビット部分)とを含むアドレス信号をアドレスバス3上に送出する。レジスタ11は、プロセッサ1内に存在するバッファレジスタである。プロセッサ1は、また、このアドレスの送出の際に第1部分についてのパリティコードp'を生成し、アドレスバス3上に送出する。レジスタ12は、プロセッサ1内に存在するバッファレジスタである。

【0021】キャッシュ管理テーブル2は、所定のタイミングでアドレスバス3上の第2部分を取り込み、これに対応するエントリに格納されたm+1ビット長の前記情報(第1部分)及びそのパリティコードpを出力する。

5

【0022】コンペア回路13は、制御回路6に設けられ、所定のタイミングでアドレスバス3上の第1部分とパリティコードp'（第1信号）とを取り込む。更に、コンペア回路13は、キャッシュ管理テーブル2の出力（第2信号）をも取り込む。そして、第1信号と第2信号とを比較する。

【0023】この比較の結果は、以下ようになる。即ち、第2信号がパリティエラーを発生する状態ではなく、かつ、元々キャッシュヒットである場合、比較結果は一致する。これにより制御回路6はキャッシュヒット処理を行う。また、第2信号がパリティエラーを発生する状態ではなく、かつ、元々キャッシュミスヒットである場合、比較結果は不一致となる。これにより制御回路6はキャッシュミスヒット処理を行う。更に、第2信号がパリティエラーを発生する状態にある場合、キャッシュヒットであるか否かに拘わらず、比較結果は不一致となる。これにより制御回路6はキャッシュミスヒット処理を行う。従って、パリティエラー発生によるシステムダウンに到ることはなく、通常のキャッシュミスヒットの場合の如く処理が継続される。

【0024】なお、このように、パリティエラーの発生状態をパリティチェックにより検出する手段を採用しないことにより、従来のパリティチェック回路14（図5）を不要にでき、この分ハードウェア量を減らすことができる。

【0025】図3は本発明のキャッシュメモリ制御処理フローを示し、図4はメモリ読み出し動作の場合のタイミングチャートを示す。なお、図4において、左側はキャッシュヒットの場合のタイミングを示し、右側はキャッシュミスヒットの場合のタイミングを示している。

【0026】プロセッサ1がバスサイクルを開始する（ステップ1）。即ち、所定のタイミングでアドレスストローブ信号Address STBをロウレベルとし、アドレスバス3上にレジスタ11からアドレス信号を送出する。アドレスストローブ信号のロウレベルにより、アドレス信号の第1部分はコンペア回路13に取り込まれ、第2部分はキャッシュ管理テーブル2に取り込まれる。

【0027】これと並行して、プロセッサ1は、アドレスバス3上にレジスタ12からパリティコードp'を送出する。このパリティコードp'は、アドレスストローブ信号のロウレベルにより、コンペア回路13に取り込まれる。

【0028】次に、アドレス信号の第2部分によりキャッシュ管理テーブル2が検索される（ステップ2）。即ち、第2部分が入力されると、所定のタイミングで、キャッシュ管理テーブル2が、m+1ビット長の情報及びそのパリティコードpをコンペア回路13へ出力する。

【0029】次に、コンペア回路13がコンペア処理を行う（ステップ3）。即ち、前述の第1信号と第2信号との比較を行い、その結果を一致/不一致信号として出

6

力する。

【0030】以上の処理が、図4に示す期間t1において行われる。期間t1は、主に、キャッシュ管理テーブル2の検索に要する期間であり、図4に示す如く、主記憶装置9のリードサイクルt3及びt4の前半の処理としてキャッシュヒットの場合及びキャッシュミスヒットの場合に共通である。

【0031】次に、コンペア処理の結果に従って、キャッシュヒット処理又はキャッシュミスヒット処理が制御回路6により行われる。キャッシュヒット処理において、プロセッサ1は、データストローブ信号Data STBをロウレベルとする。一方、制御回路6は、アドレス信号の第2部分によりキャッシュメモリ5をアクセスして対応する所定のデータをデータバス4上に読み出すと共に、サイクルエンド信号Cycle ENDをロウレベルとする。プロセッサ1は、このサイクルエンド信号のロウレベル期間内の所定のタイミングでデータバス4上のデータを取り込み、当該サイクルを終了する。従って、キャッシュヒット処理の場合のリードサイクルt3は、短時間で終了する。

【0032】キャッシュミスヒット処理において、プロセッサ1は、データストローブ信号をロウレベルとする。制御回路6は、システムバス7の使用権を得てメモリコントローラ8を介して主記憶装置9をアドレス信号によりアクセスし、当該アドレスのデータを得る。この制御回路6による主記憶装置9からのリード動作のために、期間t2が費やされる。この後、制御回路6は、このデータをデータバス4上に送出すると共に、サイクルエンド信号をロウレベルとする。プロセッサ1は、このサイクルエンド信号のロウレベル期間内の所定のタイミングでデータバス4上のデータを取り込み、当該サイクルを終了する。従って、キャッシュミスヒット処理の場合のリードサイクルt4は、t3に比べて長いものとなる。しかし、パリティエラー発生状態にあってもシステムダウンを避けて縮退動作により処理を続行できる。

【0033】

【発明の効果】以上説明したように、本発明によれば、キャッシュメモリ制御において、キャッシュ管理テーブルの出力とプロセッサからのアドレス信号の一部及びそのパリティコードとを比較してキャッシュヒット/キャッシュミスヒット処理を行うことにより、キャッシュ管理テーブル内のデータがパリティエラーを発生するような状態である場合にもキャッシュミスヒット処理を行うことができるので、パリティエラーによるシステムダウンを防止でき、処理を続行できる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】実施例説明図である。

【図3】キャッシュメモリ制御処理フローである。

【図4】メモリ読み出し動作のタイミングチャートであ

る。

【図5】従来技術の説明図である。

【図6】従来技術の説明図である。

【符号の説明】

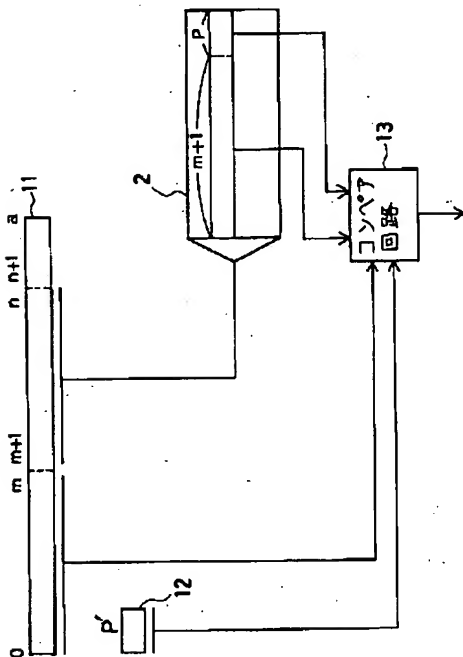
- 1 プロセッサ
- 2 キャッシュ管理テーブル (タグメモリ)
- 3 アドレスバス
- 4 データバス
- 5 キャッシュメモリ
- 6 キャッシュ制御・バスインターフェイスコンバータ 10

回路

- 7 システムバス
- 8 メモリコントローラ
- 9 主記憶装置
- 10 増設単位
- 11 レジスタ
- 12 レジスタ
- 13 コンペア回路
- 14 パリティチェック回路

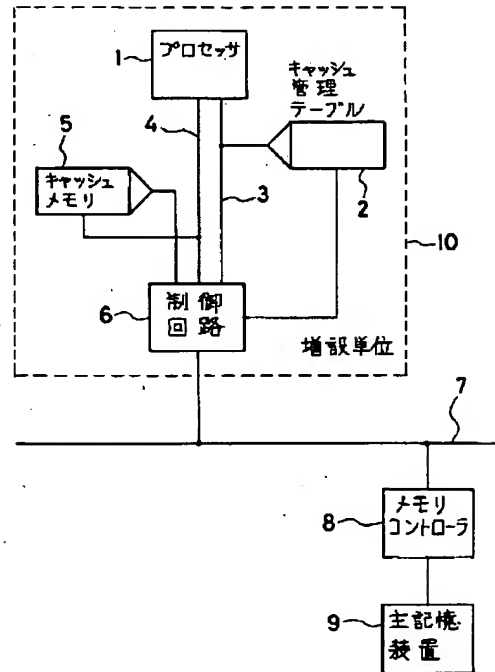
【図1】

本発明の原理構成図



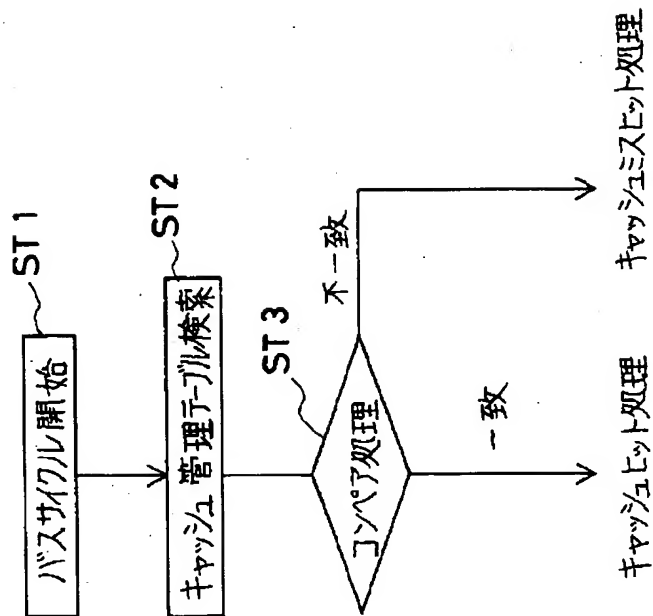
【図2】

実施例説明図



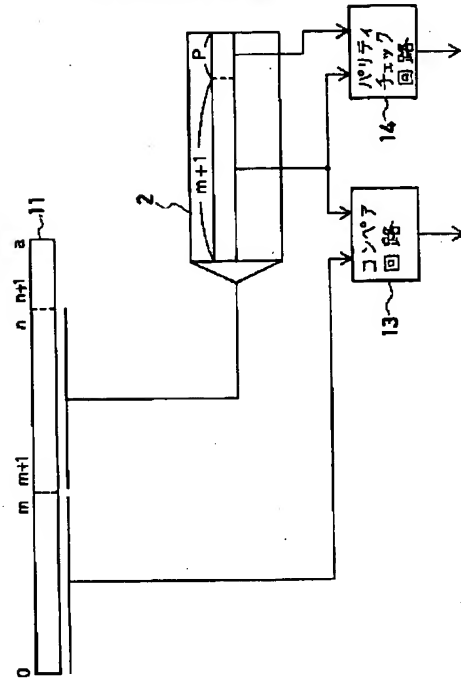
【図3】

キャッシュメモリ制御処理フロー



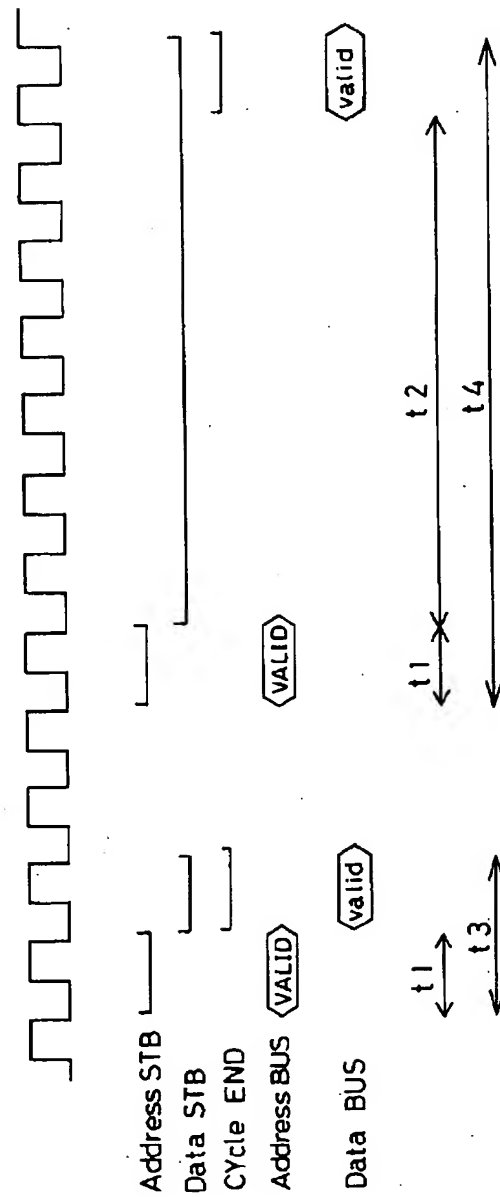
【図5】

従来技術の説明図



【図4】

メモリ読出し動作のタイミングチャート



【図6】

従来技術の説明図

